

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148526
 (43)Date of publication of application : 06.06.1997

(51)Int.Cl. H01L 27/04
 H01L 21/822
 H01L 21/28
 H01L 21/768
 H01L 21/8249
 H01L 27/06

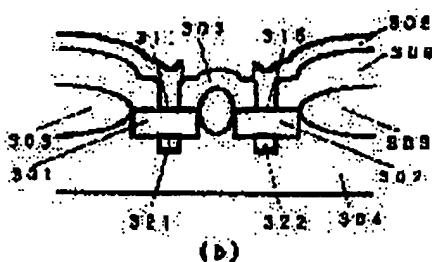
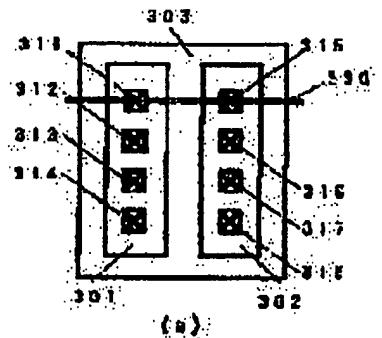
(21)Application number : 07-303151 (71)Applicant : SEIKO EPSON CORP
 (22)Date of filing : 21.11.1995 (72)Inventor : YAMAZAKI HIRONORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve withstand voltage to voltage application higher than or equal to a rated voltage, like static electricity from the outside of equipment.

SOLUTION: A first conductivity type MOSFET and a second conductivity type MOSFET are constituted as follows. In a second conductivity type lightly doped region 304, a first and a second heavily doped regions 301, 302 of a first conductivity type, and a third heavily doped region are electrically isolated and formed by element isolation regions. First conductivity type heavily doped regions 321, 322 are connected with an I/O pad via a metal wiring layer in a lateral bipolar transistor. Drain regions are connected with an I/O pad. The first conductivity type heavily doped regions 321, 322, and only the part under the contact hole periphery of the drain region are made deeper than the other parts. By making the part under the contact hole periphery of a diode formed between the heavily doped region and the lightly doped region of different polarity deep, breakdown due to a spike caused by the application of a voltage higher than or equal to a rated voltage, like static electricity, can be restrained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148526

(43)公開日 平成9年(1997)6月6日

(51)IntCL*	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/04			H 01 L 27/04	H
21/822			21/28	A
21/28			21/80	C
21/768				D
21/8249			27/06	3 2 1 F
				審査請求 未請求 開求項の数6 OL (全10頁) 最終頁に続く

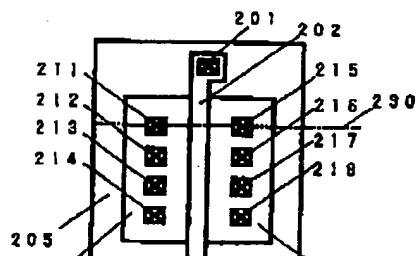
(21)出願番号	特願平7-303151	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成7年(1995)11月21日	(72)発明者	山▲崎▼裕基 長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内
		(74)代理人	弁理士 鈴木 嘉三郎 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

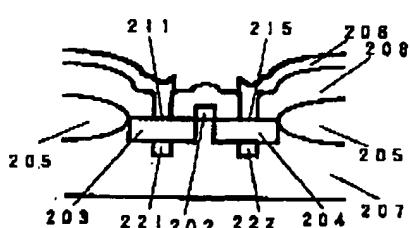
(57)【要約】

【課題】半導体装置において、表面外部からの静電気などの定格以上の高電圧印加に対しての耐圧を向上する。

【解決手段】第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設け、入出力パッドに金属配線層を介して第一の高濃度不純物領域を接続しているラテラルバイポーラトランジスタ、及び入出力パッドにドレイン領域を接続している第一導電型及び第二導電型MOSFETにおいて、第一の高濃度不純物領域及びドレイン領域のコンタクトホール周辺下のみを他の部分よりも深くする。高濃度不純物領域と異極の低濃度不純物領域との間に形成されるダイオードのコンタクトホール周辺下を深くすることで、静電気などの定格以上の高電圧の印加に起因するスパイクによる破壊が抑制される。



(a)



(b)

(2)

特開平9-148526

【特許請求の範囲】

【請求項1】半導体基板周辺に複数の入出力回路及び電源回路を配列してなる半導体装置において、高濃度不純物領域は、コンタクトホールの周辺下のみが他の部分よりも深いことを特徴とする半導体装置。

【請求項2】半導体基板周辺に複数の入出力回路及び電源回路を配列してなる半導体装置において、高濃度不純物領域は、コンタクトホールの周辺下のみが他の部分よりも深く、その高濃度不純物領域中の他の部分より深い領域は、半導体基板と第一層目の金属配線層とを電気的に分離するための絶縁層の堆積工程後に、高濃度不純物領域と金属配線層とを電気的に接続するためのコンタクトホール用のフォトマスクを用いたフォトエッチング工程によって、コンタクトホール位置に開孔部を設けた前記絶縁層上より不純物イオンを注入して形成されることを特徴とする半導体装置の製造方法。

【請求項3】半導体基板周辺に複数の入出力回路及び電源回路を配列してなる半導体装置において、入出力回路及び電源回路は、第二導電型の低濃度領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域を素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタ、及び複数の第一導電型MOSFET、及び複数の第二導電型MOSFETなどによって構成されており、これらの第一の高濃度不純物領域及び複数のドレイン領域は、直接或いは不純物拡散領域もしくは多結晶半導体層などからなる抵抗などを介して金属配線層により間接的に入出力パッドに接続されており、各領域中のコンタクトホールの周辺下のみが他の部分よりも深いことを特徴とする半導体装置。

【請求項4】半導体基板周辺に複数の入出力回路及び電源回路を配列してなる半導体装置において、入出力回路及び電源回路は、第二導電型の低濃度領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域を素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタ、及び複数の第一導電型MOSFET、及び複数の第二導電型MOSFETなどによって構成されており、これらの第一の高濃度不純物領域及び複数のドレイン領域は、直接或いは不純物拡散領域もしくは多結晶半導体層などからなる抵抗などを介して金属配線層により間接的に入出力パッドに接続されており、各領域中のコンタクトホールの周辺下のみが他の部分よりも深く、その高濃度不純物領域中の他の部分より深い領域は、前記高濃度不純物領域の不純物イオンの注入工程後に、フォトエッチング工程によって、入出力パッドに接続している前記高濃度不純物領域中のコンタクトホール位置に開孔部をもつように整形した酸化半導体層などのマスク材料上より、不純物イオンを注入して形成されることを特徴とする半導体装置の製造方法。

【請求項5】請求項2に記載の半導体装置の製造方法において、前記高濃度不純物領域中のコンタクトホールの周辺下の他の部分より深い領域は、不純物イオンの注入工程によって前記高濃度不純物領域の浅い領域を形成した後に、この浅い領域の形成時よりも高い加速電圧でイオン注入して形成されることを特徴とする半導体装置の製造方法。

【請求項6】請求項4に記載の半導体装置の製造方法において、前記高濃度不純物領域中のコンタクトホールの周辺下の他の部分より深い領域は、不純物イオンの注入工程によって前記高濃度不純物領域の浅い領域を形成した後に、この浅い領域の形成時よりも高い加速電圧でイオン注入して形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関するものであり、特に前記ラテラルバイポーラトランジスタ、及び第一導電型MOSFET、及び第二導電型MOSFETの静電気耐圧に関するものである。

【0002】

【従来の技術】従来の半導体装置における入出力回路及び電源回路内のMOSFETは、図9に示すように、基板表面側にドレイン或いはソース領域となる高濃度不純物領域903、904が、内部側にウェル領域である高濃度不純物領域とは異なり低濃度不純物領域907がそれぞれ存在し、高濃度不純物領域中のコンタクトホールの周辺下では異なり不純物領域同士によってダイオードを形成しており、また、従来の半導体装置における入出力回路及び電源回路内の前記ラテラルバイポーラトランジスタは、図10に示すように、基板表面側に第一導電型の第一の高濃度不純物領域1001、第二の高濃度不純物領域1002が、内部側に第二導電型の低濃度不純物領域1004がそれぞれ存在し、高濃度不純物領域中のコンタクトホールの周辺下では異なり不純物領域同士によってダイオードを形成しており、いずれのダイオードにおいてもその接合面すなわち高濃度不純物領域の下面はほぼ平坦である。

【0003】このような従来の半導体装置における入出力回路及び電源回路内のMOSFET及び前記ラテラルバイポーラトランジスタは、入出力パッドより静電気のような定格以上の高電圧が印加した場合に、特開昭59-111351に示されているように、MOSFETのドレイン領域903及び第一の高濃度不純物領域1001をコレクタとして、通常は電源配線に接続しているMOSFETのソース領域904及び第二の高濃度不純物領域1002をエミッタとして、同じく通常は電源配線に接続しているMOSFETのウェル領域907及び前記ラテラルバイポーラの第二導電型の低濃度不純物領域1004をベースとして、それぞれバイポーラトランジ

(3)

特開平9-148526

スクの動作をし、エミッタとして作用する第二の高濃度不純物領域11002及びMOSFETのソース領域904より印加電圧によって流れる過渡電流を電源配線を介して装置外部に放出する。また従来の半導体装置において更に高い電圧がかかった場合に、図11に示すように、過渡電流による発熱により金属配線層1103と半導体基板とが合金化し、合金のスパイク1101がコンタクトホールから下方向に成長し、それが高濃度不純物領域1106と通常、電源配線に接続されている高濃度領域とは異極の低濃度不純物領域1107からなるダイオードを突き抜けることにより、高電圧側電源回路—低電圧側電源回路間或いは電源回路—入出力回路間で導通する可能性があった。

【0004】

【発明が解決しようとする課題】そこで、本発明はこのような問題点を解決するためのもので、その目的は、入出力パッドに接続している高濃度不純物領域と電源配線に接続している異極の低濃度不純物領域からなるダイオードの接合面とコンタクトホールの距離、すなわちコンタクトホールの周辺下の高濃度不純物領域の深さを増加することによって、入出力パッドより静電気などの定格以上の高電圧が印加した場合にコンタクトホールから下方向に成長するスパイクによる前記ダイオードの破壊を防止し、半導体装置の静電気などの定格以上の高電圧印加に対する耐圧を向上するところにある。

【0005】

【課題を解決するための手段】半導体基板周辺に複数の入出力回路及び電源回路を配列してなる半導体装置において、高濃度不純物領域は、コンタクトホールの周辺下のみが他の部分よりも深いことを特徴とし、また、その高濃度不純物領域中の他の部分より深い領域は、半導体基板と第一番目の金属配線層とを電気的に分離するための絶縁層の堆積工程後に、高濃度不純物領域と金属配線層とを電気的に接続するためのコンタクトホール用のフォトマスクを用いたフォトエッチング工程によって、コンタクトホール位置に開孔部を設けた前記絶縁層上より不純物イオンを注入して形成されることを特徴とし、また、前記高濃度不純物領域中のコンタクトホールの周辺下の他の部分より深い領域は、不純物イオンの注入工程によって前記高濃度不純物領域の浅い領域を形成した後に、この浅い領域の形成時よりも高い加速電圧でイオン注入して形成されることを特徴とし、加えて、入出力回路及び電源回路は、第二導電型の低濃度領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域を素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタ、及び複数の第一導電型MOSFET、及び複数の第二導電型MOSFETなどによって構成されており、これらの第一の高濃度不純物領域及び複数のドレイン領域は、直接或いは不純物拡散領域もしくは多結晶半導体層などから

なる抵抗などを介して金属配線層により間接的に入出力パッドに接続されており、各領域中のコンタクトホールの周辺下のみが他の部分よりも深いことを特徴とし、また、その高濃度不純物領域中の他の部分より深い領域は、前記高濃度不純物領域の不純物イオンの注入工程後に、フォトエッチ工程によって、入出力パッドに接続している前記高濃度不純物領域中のコンタクトホール位置に開孔部をもつように整形した酸化半導体層などのマスク材料上より、不純物イオンを注入して形成されることを特徴とし、また、前記高濃度不純物領域中のコンタクトホールの周辺下の他の部分より深い領域は、不純物イオンの注入工程によって前記高濃度不純物領域の浅い領域を形成した後に、この浅い領域の形成時よりも高い加速電圧でイオン注入して形成されることを特徴とする。

【0006】

【発明の実施の形態】以下、本発明に於ける実施例を図1、図2、図3、図4、図5、図7、図8を用いて説明する。

【0007】図1は本発明による半導体装置の全体図である。前記半導体装置は、半導体基板101の外周部102に装置外部に接続するパッドを行する入出力回路及び電源回路の領域を有し、その入出力回路及び電源回路の領域の内側103には内部回路領域を有する。

【0008】図2は本発明によるひとつの実施例である半導体装置における入出力回路内のMOSFETの模式図であり、図2(a)は第一番目の金属配線層と半導体基板間の絶縁層の堆積工程直前の平面図であり、図2(b)は第一番目の金属配線層の堆積工程直後の断面図である。201はゲート端子202に電位を与えるためのコンタクトホールであり、211、212、213、214、215、216、217、218はそれぞれドレイン領域或いはソース領域となる高濃度不純物領域203、204に電位を与えるためのコンタクトホールであり、205は素子分離領域であり、206はA1などの第一番目の金属配線層であり、208は前記金属配線層206と半導体基板間の絶縁層である。221、222は、203、204と同様の高濃度不純物領域であり、コンタクトホールの周辺下のみに203、204の下面に接して存在し、ドレイン領域或いはソース領域を構成する不純物は、それぞれの領域のコンタクトホール周辺下で深く拡散しているようになる。

【0009】図3は本発明によるひとつの実施例である半導体装置における入出力回路内の第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタの模式図であり、図3(a)は第一番目の金属配線層と半導体基板間の絶縁層の堆積工程直前の平面図であり、図3(b)は第一番目の金属配線層の堆積工程直後の断面図である。311、312、

(4)

特開平9-148526

313, 314, 315, 316, 317, 318はそれぞれコレクタ領域或いはエミッタ領域となる第一導電型の高濃度不純物領域301, 302に電位を与えるためのコンタクトホールであり、303は素子分離領域であり、305はA1などの第一番目の金属配線層であり、306は前記金属配線層305と半導体基板間の絶縁層である。321, 322は、第一導電型の高濃度不純物領域であり、コンタクトホールの周辺下のみに301, 302の下面に接して存在し、第一或いは第二の高濃度不純物領域を構成する第一導電型の不純物は、コンタクトホールの周辺下で深く拡散しているようになる。

【0010】図7は本発明によるふたつめの実施例である半導体装置における入出力回路内のMOSFETの断面図であり、図7(a), 図7(b), 図7(c)の順で高濃度不純物領域中のコンタクトホールの周辺下の深い領域の製造工程を示している。701はゲート電極であり、702, 703はドレイン領域或いはソース領域となる高濃度不純物領域であり、704はウェル領域となる異極の低濃度不純物領域であり、705は第一番目の金属配線層と半導体基板との絶縁層であり、706は素子分離領域である。まず前記絶縁層705の堆積工程後の図7(a)に示す状態の半導体基板に対して、絶縁層705にフォトエッチ工程によって図7(b)に示すようにコンタクトホール位置に開孔部707, 708を形成し、絶縁層705の上から高濃度不純物領域702, 703の形成時より高い加速電圧で702, 703と同極の不純物イオンを注入し、図7(c)に示すように、コンタクトホール位置707, 708の周辺下に、既存の高濃度不純物領域702, 703より深く、702, 703と同極の高濃度不純物領域709, 710を形成する。また前記ラテラルバイポーラトランジスタにおいても、同様の工程によってコンタクトホールの周辺下に他の部分より深い領域をもつ高濃度不純物領域を形成する。

【0011】図4は本発明によるふたつめの実施例である半導体装置における入出力回路内のMOSFETの模式図であり、図4(a)は第一番目の金属配線層と半導体基板間の絶縁層の堆積工程直前の平面図であり、図4(b)は第一番目の金属配線層の堆積工程直後の断面図である。401はゲート端子402に電位を与えるためのコンタクトホールであり、411, 412, 413, 414はそれぞれドレイン領域403に電位を与えるためのコンタクトホールであり、415, 416, 417, 418はそれぞれソース領域404に電位を与えるためのコンタクトホールであり、405は素子分離領域であり、406はA1などの第一番目の金属配線層であり、408は前記金属配線層406と半導体基板間の絶縁層である。421は、ドレイン領域と同極の高濃度不純物領域であり、入出力パッドに接続しているドレイン領域403上のコンタクトホール411, 412, 41

3, 414の周辺下のみに403の下面に接して存在し、ドレイン領域を構成する不純物は、コンタクトホールの周辺下で深く拡散しているようになる。

【0012】図5は本発明によるふたつめの実施例である半導体装置における入出力回路内の前記ラテラルバイポーラトランジスタの模式図であり、図5(a)は第一番目の金属配線層と半導体基板間の絶縁層の堆積工程直前の平面図であり、図5(b)は第一番目の金属配線層の堆積工程直後の断面図である。511, 512, 513, 514はそれぞれコレクタ領域となる第一導電型の第一の高濃度領域501に電位を与えるためのコンタクトホールであり、515, 516, 517, 518はそれぞれエミッタ領域となる第一導電型の第二の高濃度不純物領域502に電位を与えるためのコンタクトホールであり、503は素子分離領域であり、505はA1などの第一番目の金属配線層であり、506は前記金属配線層505と半導体基板間の絶縁層である。521は第一導電型の高濃度不純物領域であり、入出力パッドに接続して第一の高濃度不純物領域501上のコンタクトホール511, 512, 513, 514の周辺下のみに501の下面に接して存在し、第一の高濃度不純物領域を構成する第一導電型不純物は、コンタクトホールの周辺下で深く拡散しているようになる。

【0013】図8は本発明によるふたつめの実施例である半導体装置における入出力回路内のMOSFETの断面図であり、図8(a), 図8(b), 図8(c), 図8(d)の順で高濃度不純物領域中のコンタクトホール周辺下の深い領域の製造工程を示している。801はゲート電極であり、802はドレイン領域、803はソース領域となる高濃度不純物領域であり、804はウェル領域となるドレイン領域とは異極の低濃度不純物領域であり、805は素子分離領域である。まず高濃度不純物領域802, 803のイオン注入工程後の図8(a)に示す状態の半導体基板に、酸化半導体などのマスク材料806を堆積し、フォトエッチ工程によって拡散領域中のコンタクトホール位置に開孔部807を持つように整形し、図8(b)に示す状態で上から高濃度不純物領域802, 803の形成時より高い加速電圧で802, 803と同極の不純物イオンを注入し、開孔部807の周辺下に既存の高濃度不純物領域802, 803より深く高濃度不純物領域809を形成する。こうすることでドレイン領域を構成する不純物は、コンタクトホール周辺下で深く拡散しているようになる。その後図8(c)に示す第一番目の金属配線層と半導体基板との絶縁層808を堆積した後に図8(d)に示すコンタクトホール位置の絶縁層の開孔部810, 811をフォトエッチ工程によって形成する。また、前記ラテラルバイポーラトランジスタにおいても、同様の工程によってコンタクトホールの周辺下に他の部分より深い領域をもつ入出力パッドに接続する第一の高濃度不純物領域を形成する。

(5)

特開平9-148526

【0014】

【発明の効果】以上に示したような第一導電型MOSFET構造及び第二導電型MOSFET構造及び第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタ構造によれば、図6に示すように、第一導電型MOSFET及び第二導電型MOSFET及び前記ラテラルバイポーラトランジスタの入出力パッドに接続するドレイン領域及び第一の高濃度不純物領域のコンタクトホールの周辺下のダイオード接合面603を深部に形成することで、入出力パッドより静電気のような定格以上の高電圧が印加された場合に、スパイク601によって最も破壊され易いコンタクトホールの周辺下のダイオードの破壊が抑制され、半導体装置の静電気などの定格以上の高電圧印加に対する耐圧が向上する。また、この発明は各拡散領域が浅くなつたとしても有効である。

【図面の簡単な説明】

【図1】 本発明による半導体装置の全体図である。

【図2】 本発明によるひとつめの実施例である半導体装置のMOSFETの平面図とその断面図である。

【図3】 本発明によるひとつめの実施例である半導体装置の第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタの平面図とその断面図である。

【図4】 本発明によるふたつめの実施例である半導体装置のMOSFETの平面図とその断面図である。

【図5】 本発明によるふたつめの実施例である半導体装置の第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタの平面図とその断面図である。

【図6】 本発明によるひとつめ及びふたつめの実施例である半導体装置の第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタ及び第一導電型及び第二導電型MOSFETの不純物領域中コンタクトホール近傍における静電気などの定格以上の高電圧印加の際のスパイクの発生状況の模式図である。

【図7】 本発明によるひとつめの実施例である半導体装置の第一導電型及び第二導電型MOSFETのひとつめの製造工程を示した断面図である。

【図8】 本発明によるふたつめの実施例である半導体装置の第一導電型MOSFET及び第二導電型MOSF

ETの製造工程を示した断面図である。

【図9】 従来技術による半導体装置の第一導電型及び第二導電型MOSFETの平面図とその断面図である。

【図10】 従来技術による半導体装置の第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ素子分離領域によって電気的に分離して設けたラテラルバイポーラトランジスタの平面図とその断面図である。

【図11】 従来技術による半導体装置の第二導電型の低濃度不純物領域に第一導電型の第一と第二の高濃度不純物領域と第二導電型の第三の高濃度不純物領域をそれぞれ絶縁層によって電気的に分離して設けたラテラルバイポーラトランジスタ及び第一導電型及び第二導電型MOSFETの不純物領域中コンタクトホール近傍における静電気などの定格以上の高電圧印加の際のスパイクによる破壊形態の模式図である。

【符号の説明】

101 : 半導体基板

102 : 入出力回路及び電源回路の領域

103 : 内部回路の領域

201 : ゲート端子用コンタクトホール

202 : ゲート端子

203, 204 : 高濃度不純物領域

205 : 素子分離領域

206 : 第一巻目の金属配線層

207 : 低濃度不純物領域

208 : 絶縁層

211, 212, 213, 214, 215, 216, 2

17, 218 : 高濃度不純物領域用コンタクトホール

221, 222 : 高濃度不純物領域

230 : 断面を示す補助線

301 : 第一導電型の第一の高濃度不純物領域

302 : 第一導電型の第二の高濃度不純物領域

303 : 素子分離領域

304 : 第二導電型の低濃度不純物領域

305 : 第一巻目の金属配線層

306 : 絶縁層

311, 312, 313, 314, 315, 316, 3

17, 318 : 第一導電型の高濃度不純物領域用コンタクトホール

321, 322 : 第一導電型の高濃度不純物領域

330 : 断面を示す補助線

401 : ゲート端子用コンタクトホール

402 : ゲート端子

403 : ドレイン領域

404 : ソース領域

405 : 素子分離領域

406 : 第一巻目の金属配線層

407 : 低濃度不純物領域

(6)

特開平9-148526

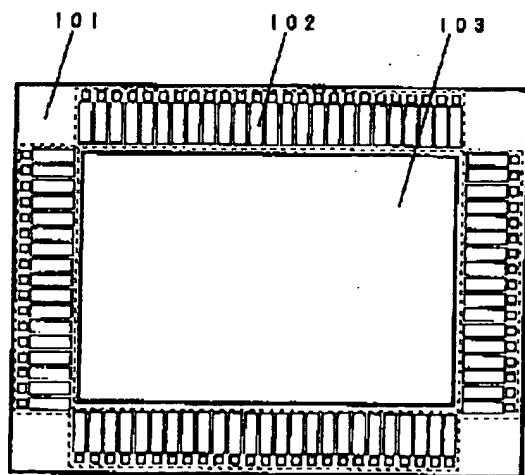
408 : 絶縁層
 411, 412, 413, 414 : ドレイン領域用コンタクトホール
 415, 416, 417, 418 : ソース領域用コンタクトホール
 421 : 高濃度不純物領域
 430 : 断面を示す補助線
 501 : 第一導電型の第一の高濃度不純物領域
 502 : 第一導電型の第二の高濃度不純物領域
 503 : 素子分離領域
 504 : 第二導電型の低濃度不純物領域
 505 : 第一番目の金属配線層
 506 : 絶縁層
 511, 512, 513, 514 : 第一導電型の第一の高濃度不純物領域用コンタクトホール
 515, 516, 517, 518 : 第一導電型の第二の高濃度不純物領域用コンタクトホール
 521 : 第一導電型の高濃度不純物領域
 530 : 断面を示す補助線
 601 : 半導体基板と金属配線の合金によるスパイク
 602 : ダイオード接合面
 603 : ダイオード接合面
 604 : 第一番目の金属配線層
 605 : バリアメタル層
 606 : 絶縁層
 607 : 高濃度不純物領域
 608 : 高濃度不純物領域
 609 : 低濃度不純物領域
 701 : ゲート端子
 702, 703 : 高濃度不純物領域
 704 : 低濃度不純物領域
 705 : 絶縁層
 706 : 素子分離領域
 707, 708 : 高濃度不純物領域用のコンタクトホール
 709, 710 : 高濃度不純物領域

801 : ゲート端子
 802, 803 : 高濃度不純物領域
 804 : 低濃度不純物領域
 805 : 素子分離領域
 806 : マスク材料
 807 : マスク材料の開孔部
 808 : 絶縁層
 809 : 高濃度不純物領域
 810, 811 : 高濃度不純物領域用コンタクトホール
 901 : ゲート端子用コンタクトホール
 902 : ゲート端子
 903, 904 : 高濃度不純物領域
 905 : 素子分離領域
 906 : 第一番目の金属配線層
 907 : 低濃度不純物領域
 908 : 絶縁層
 911, 912, 913, 914, 915, 916, 917, 918 : 高濃度不純物領域用コンタクトホール
 930 : 断面を示す補助線
 1001 : 第一導電型の第一の高濃度不純物領域
 1002 : 第一導電型の第二の高濃度不純物領域
 1003 : 素子分離領域
 1004 : 第二導電型の低濃度不純物領域
 1005 : 第一番目の金属配線層
 1006 : 絶縁層
 1011, 1012, 1013, 1014, 1015, 1016, 1017, 1018 : 第一導電型の高濃度不純物領域用コンタクトホール
 1030 : 断面を示す補助線
 1101 : 半導体基板と金属配線の合金によるスパイク
 1102 : ダイオード接合面
 1103 : 第一番目の金属配線層
 1104 : バリアメタル層
 1105 : 絶縁層
 1106 : 高濃度不純物領域
 1107 : 低濃度不純物領域

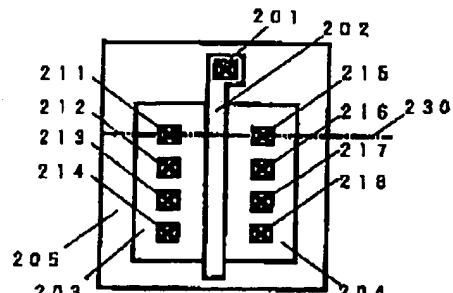
(7)

特開平9-148526

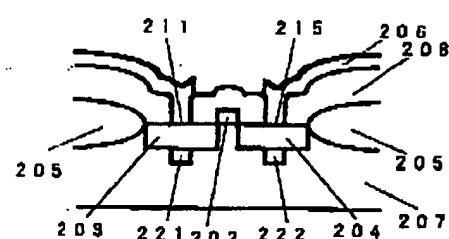
【図1】



【図2】

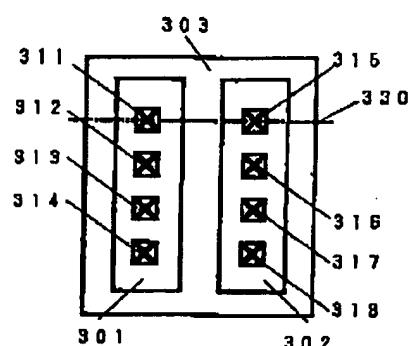


(a)

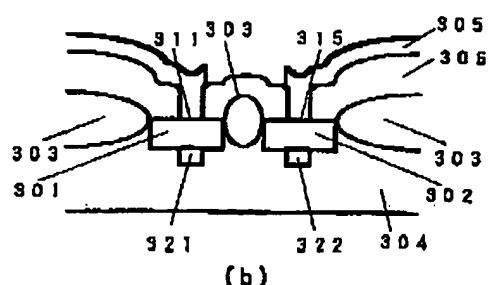


(b)

【図3】

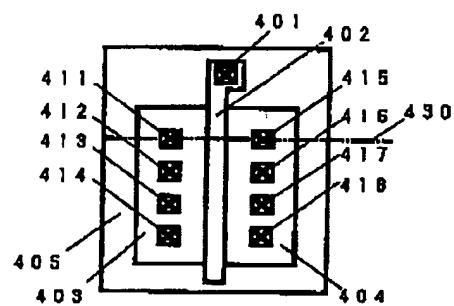


(a)

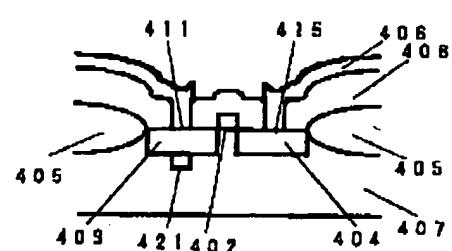


(b)

【図4】



(a)

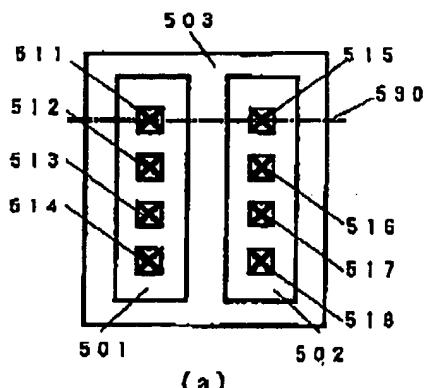


(b)

(8)

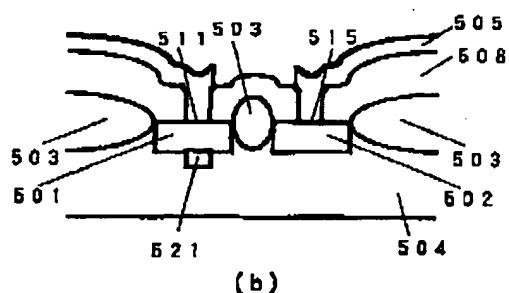
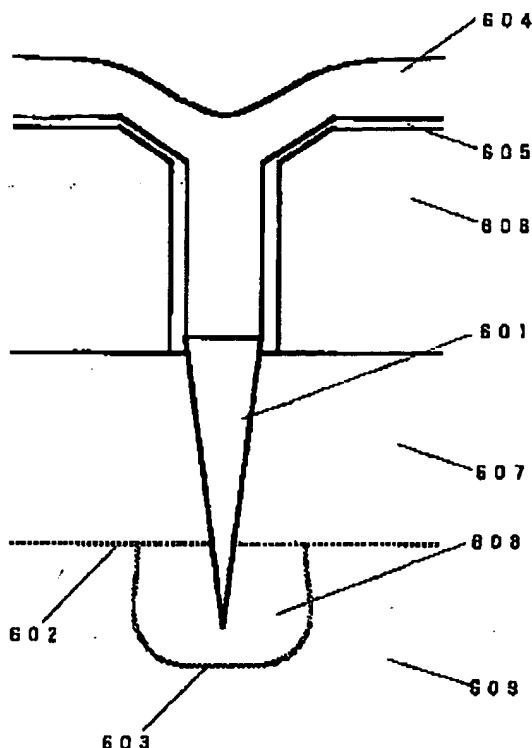
特開平9-148526

【図5】



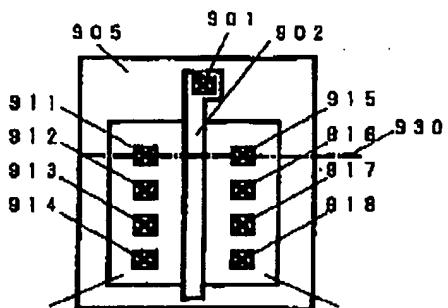
(a)

【図6】



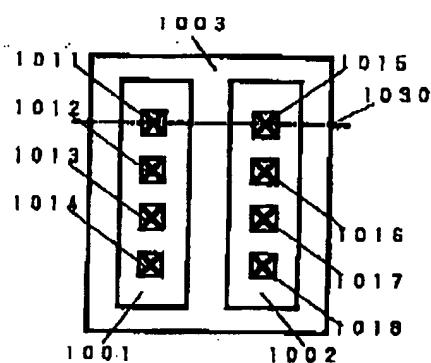
(b)

【図9】

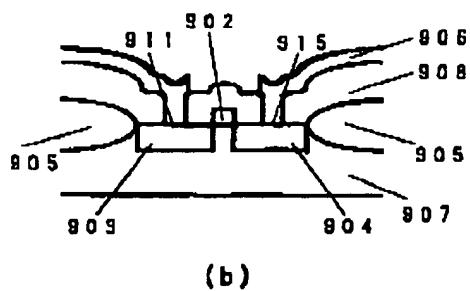


(a)

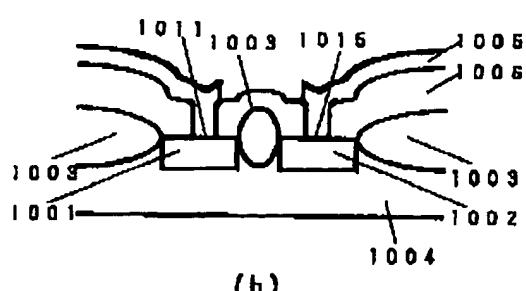
【図10】



(a)



(b)

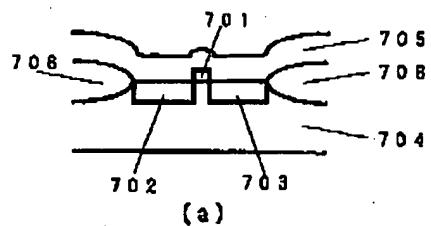


(b)

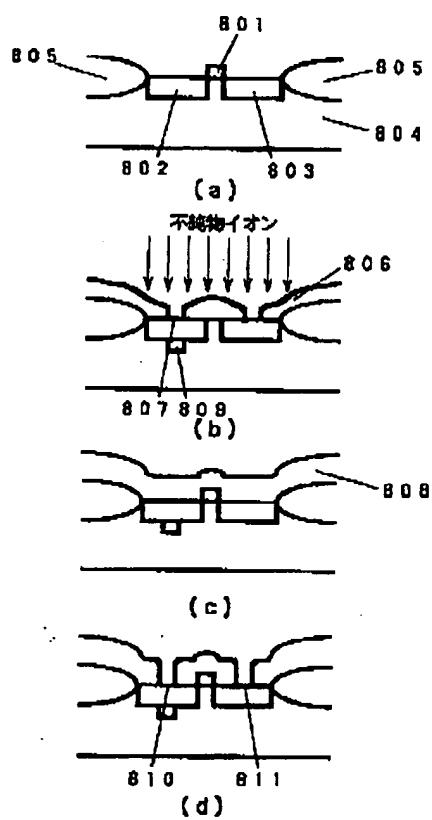
(9)

特開平9-148526

【図7】



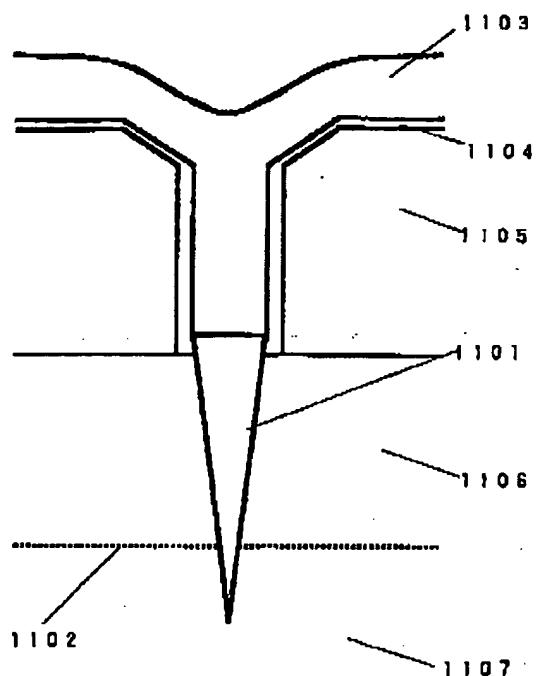
【図8】



(10)

特開平9-148526

【図11】



フロントページの続き

(51) Int.Cl.⁸
H01L 27/06

識別記号

序内登録番号

F I

技術表示箇所